

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-150633

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月27日

G 06 F 9/30

3 1 0 C

7927-5B

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 命令解釈装置

⑯ 特 願 平1-290756

⑰ 出 願 平1(1989)11月7日

⑱ 発 明 者 坂 本 良 来 大阪府門真市大字門真1008番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 宮井 暎夫

明 細 書

1. 発明の名称

命令解釈装置

2. 特許請求の範囲

命令中にその命令が属する命令セットを要するフラグを設け、

複数の命令セットのそれぞれに対応して設けた複数の命令解釈手段と、入力された命令中の前記フラグに基づいて前記命令解釈手段を選択して当該命令を与える選択手段とを備えたことを特徴とする命令解釈装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、電子計算機の機械命令を解釈するために用いられる命令解釈装置に関するものである。

〔従来の技術〕

マイクロプロセッサなどでは、命令デコーダ・ユニットなどと呼ばれる命令解釈装置が備えられており、所定の形式で入力される機械命令を解釈

して、この命令に対応した制御信号を生成するようにしている。この制御信号はマイクロプロセッサ内部の実行ユニットに与えられ、この実行ユニットは前記制御信号に基づいてたとえばマイクロ命令を記憶したマイクロROM(読出専用メモリ)にアクセスする。そして、実行ユニットによる加減算器や乗算器などの制御によって入力された命令に対応して演算処理が達成される。

第4図は従来から用いられている命令解釈装置の基本的な構成を示すブロック図である。ライン1からは第5図に示すように操作コードcとオペランドoを含む所定の形式の命令oが入力される。この命令oはライン2を介するロード信号ld4に基づいて命令バッファ3に読み込まれる。この命令バッファ3からの前記操作コードcが導出され、この操作コードcは前記ロード信号ld4に基づいて命令レジスタ4内に読み込まれる。この命令レジスタ4に格納された操作コードcは命令解釈回路5に与えられ、この命令解釈回路5では与えられた操作コードcに対応した制御信号s

特開平3-150633(2)

を生成する。この制御信号 s は、たとえば前記マイクロROMのアドレスなどである。すなわち、次段の実行ユニットでは与えられたアドレスに基づいてマイクロROMにアクセスすることになる。

第6図は動作を説明するためのタイミングチャートである。第6図(1)はロード信号 d を示し、第6図(2)ライン1から入力される命令 o を示し、第6図(3)は操作コード c を示し、第6図(4)は命令レジスタ4の出力を示し、第6図(5)は命令解読回路5から出力される制御信号 s を示している。ロード信号 d はシステムのクロックに同期しているものとし、また毎サイクルごとに命令フェッチが行われる場合を想定する。

命令 $o(n)$, $o(n+1)$, $o(n+2)$, $o(n+3)$, ... がライン1から時系列に従って入力され、この命令 $o(n)$, $o(n+1)$, $o(n+2)$, $o(n+3)$, ... がロード信号 d に基づいて命令バッファ3に読み込まれる結果、この命令バッファ3からは対応する操作コード $c(n)$, $c(n+1)$, $c(n+2)$, $c(n+3)$, ... が順に出力されることになる。従って命令レジスタ4の

出力も同様となり、この結果、命令解読回路5からは操作コード $c(n)$, $c(n+1)$, $c(n+2)$, $c(n+3)$, ... にそれぞれ対応する制御信号 $s(n)$, $s(n+1)$, $s(n+2)$, $s(n+3)$, ... が順に出力されることになる。すなわち命令 $o(n)$, $o(n+1)$, $o(n+2)$, $o(n+3)$, ... は、命令フェッチ毎に解読され、各命令に対応した制御信号 $s(n)$, $s(n+1)$, $s(n+2)$, $s(n+3)$, ... が生成される。

〔発明が解決しようとする課題〕

上述のような命令解読装置では、各部分は取る1種類の命令セットにのみ対応した構成となっているため、複数種類の命令セットには対応することができず、したがって複数種類の命令セットが混在したプログラムには対応することができなかった。

この発明の目的は、上述の技術的課題を解決し、複数種類の命令セットを含む命令の解読を行うことができるようにした命令解読装置を提供することである。

〔課題を解決するための手段〕

この発明の命令解読装置は、命令中にその命令が属する命令セットを表すフラグを設け、

複数の命令セットのそれぞれに対応して設けた複数の命令解読手段と、入力された命令中の前記フラグに基づいて前記命令解読手段を選択して当該命令を与える選択手段とを備えたことを特徴とする。

〔作用〕

この発明の構成によれば、命令中に設けたフラグにより当該命令が属する命令セットを識別することができる。選択手段は前記フラグに基づいて入力命令が属する命令セットに対応した命令解読手段を選択して、前記入力命令を与え、これにより複数の命令セットを含むプログラムの解読が可能になる。

この結果、従来では複数の演算処理装置によって実行している複数の命令セットを含むプログラムの実行を、1つの演算処理装置で行わせることができるようになる。

〔実施例〕

第1図はこの発明の一実施例の命令解読装置の基本的な構成を示すブロック図である。この命令解読装置はライン11から与えられる命令 O に対応した制御信号 S をライン12に導出して、図外の命令実行装置に与えるもので、ライン11からは複数種類（この実施例では2種類）の命令セットに属する複数の命令が混在されて入力される。このライン11からの命令 O の形式は、第2図に示されている。すなわちこの実施例では命令 O は、操作コード C およびオペランド OP とともに、当該命令が何れの命令セットに属するものかを表すフラグを含んでいる。

この実施例では、ライン11からは2種類の命令セットの何れかに属する命令 O が入力され、前記2種類の命令セットのそれぞれに対応して、各命令セットの命令に対応した制御信号を生成する第1の命令解読回路13Aと第2の命令解読回路13Bとが設けられている。ライン11からの命令 O はシステムのクロックに同期したロード信号 LD に基づいて命令バッファ14に読み込まれ、

特開平3-150633(3)

その操作コードCがライン15から、またフラグFがライン16からそれぞれ選択手段17に与えられる。この選択手段17は与えられた操作コードCを、フラグFに基づいて、第1または第2の命令解決回路13A、13Bの何れか一方を選択して入力する。第1および第2の命令解決回路13A、13Bからそれぞれ出力される第1および第2の制御信号SA、SBは、命令バッファ14からのフラグFが与えられるデコード18の出力により制御されるセクタ19から選択的にライン12に導出される。

前記選択手段17は、ライン15に導出された操作コードCがそれぞれ入力される第1、第2の命令レジスタ20A、20Bと、ライン16からのフラグFをロード信号LDに基づいて読み込み、読み込んだフラグFに対応して前記第1、第2の命令レジスタ20A、20Bの何れか一方に前記操作コードCを読み込ませる第1、第2のロード信号LDA、LDBを生成するデコード21とを備えている。

命令バッファ14に読み込まれる。そして、各命令に対応した操作コードCA(n)、CB(n+1)、CA(n+2)、CB(n+3)、...がライン15に導出され、フラグFA(n)、FB(n+1)、FA(n+2)、FB(n+3)、...がライン16に時系列に従って導出される。たとえば入力された命令が第1の種類の命令セットのものであることを示すフラグFA(n)、FA(n+2)はハイレベルの信号であり、入力命令が第2の種類であることを示すフラグFB(n+1)、FB(n+3)はローレベルの信号である。

このようなフラグFに基づいて、デコード21はロード信号LDに同期して第1、第2のロード信号LDA、LDBを生成し、この結果第1の種類の命令OA(n)、OA(n+2)が入力される期間TA(n)、TA(n+2)には第1の命令レジスタ20Aに参照符号EA1、EA2で示すロード信号が与えられ、また第2の種類の命令セットの命令OB(n+1)、OB(n+3)が入力される期間TB(n+1)、TB(n+3)には第2の命令レジスタ20Bに参照符号EB1、EB2で示すロード信号が与えられる。

第3図は動作を説明するためのタイミングチャートである。第3図(1)はロード信号LDを示し、第3図(2)はライン11からの命令Oを示し、第3図(3)はライン15に導出される操作コードCを示し、第3図(4)はライン16に導出されるフラグFを示し、第3図(5)、(6)はそれぞれ第1、第2のロード信号LDA、LDBを示し、第3図(7)、(8)はそれぞれ第1、第2の命令レジスタ20A、20Bから導出される操作コードCA、CBを示し、第3図(9)、(10)はそれぞれ第1、第2の制御信号SA、SBを示し、第3図(11)はデコード18からセクタ19に与えられる制御信号選択信号SELECTを示し、第3図(12)はライン12に導出される制御信号Sを示している。

命令Oは、2種類の命令セットの命令を含んでおり、第1の種類の命令セットに属する命令OAと第2の種類の命令セットに属する命令OBとが存在した命令OA(n)、OB(n+1)、OA(n+2)、OB(n+3)、...がライン11から時系列に従って入力され、この命令がロード信号LDに基づいて

号が与えられる。

これによって、第1の命令レジスタ20Aには第1の種類の命令セットの命令のみが格納され、また第2の命令レジスタ20Bには第2の種類の命令セットの命令のみが格納されることになり、各出力は第3図(7)、(8)にそれぞれ示す状態となる。すなわち第1の命令レジスタ20Aは、期間TA(n)、TB(n+1)には操作コードCA(n)を出力し、期間TA(n+2)、TB(n+3)には操作コードCA(n+2)を出力する。そして第2の命令レジスタ20Bは、期間TB(n+1)、TA(n+2)には操作コードCB(n+1)を出力し、期間TB(n+3)には操作コードCB(n+3)を出力する。

第1、第2の命令解決回路13A、13Bにはそれぞれ第1、第2の命令レジスタ20A、20Bからの操作コードCA、CBが与えられるので、この第1の命令解決回路13Aからは、操作コードCA(n)、CA(n+2)にそれぞれ対応した制御信号SA(n)、SA(n+2)がそれぞれ期間TA(n)、TB(n+1)、TA(n+2)、TB(n+3)に導出され

特開平3-150633 (4)

る。第2の命令解読回路13Bについても同様であり、操作コードCB(a+1)、CB(a+3)に対応した制御信号SB(a+1)、SB(a+3)が出力される。

セレクタ19に制御信号選択信号SELECTを与えるデコーダ18は、フラグFに対応して各期間に制御信号SA、SBをそれぞれ選択させる制御信号選択信号SELECT-A、SELECT-Bを導出し、これによりライン12には入力命令OA(a)、OB(a+1)、OA(a+2)、OB(a+3)、……に対応した制御信号SA(a)、SB(a+1)、SA(a+2)、SB(a+3)、……が時系列に従って導出されることになる。

このようにしてこの実施例においては、2種類の命令セットに属する命令が混在する命令Oに因って、この命令Oを含むフラグFにより各命令が何れの命令セットに属するかを識別し、各命令セット毎に対応して設けた命令解読回路13A、13Bに命令を分類して与えて命令の解読を行わせるようにしている。このようにして、2種類の命令セットの命令が混在する命令Oの解読が可能になる。

前述の実施例では、入力命令中に2種類の命令セットに属する命令が混在する場合を例に採ったが、3種類以上の命令セットの命令が混在している場合に関しても、この発明は容易に応用することができ、各命令セットを識別するために必要なビット数のフラグを命令中に含ませるようにすればよい。

このように複数種類の異なる命令セットの命令を含む命令の解読が可能になると、たとえば転送命令においては複数種類の異なる命令セットに対応してそれぞれ異なる送受信命令を有する転送命令となるのであるが、この場合にもそれぞれの命令セットに応じて命令解読を行わせて同一系統の制御信号を発生させることができるようになる。このため、命令解読装置の後段の命令実行装置などは従来の装置をそのまま用いることができる。このようにして、従来ではハードウェア構成の異なる複数種のマイクロプロセッサが必要であった複数種の命令セットの命令を含むプログラムの実行を、1つのマイクロプロセッサで実現することができるよ

うになる。

〔発明の効果〕

以上のようにこの発明の命令解読装置によれば、複数種の命令セットに属する命令が混在するプログラムの命令解読が可能となり、これによって従来では複数の演算処理装置を必要としたプログラムの実行を、1つの演算処理装置で達成できるようになる。

4. 図面の簡単な説明

第1図はこの発明の一実施例の命令解読装置の基本的な構成を示すブロック図、第2図は入力命令Oの構成を示す説明図、第3図は動作を示すタイミングチャート、第4図は従来の命令解読装置の基本的な構成を示すブロック図、第5図は命令Oの構成を示す説明図、第6図は第4図に示された構成の動作を示すタイミングチャートである。

13A…第1の命令解読回路、13B…第2の命令解読回路、17…選択手段

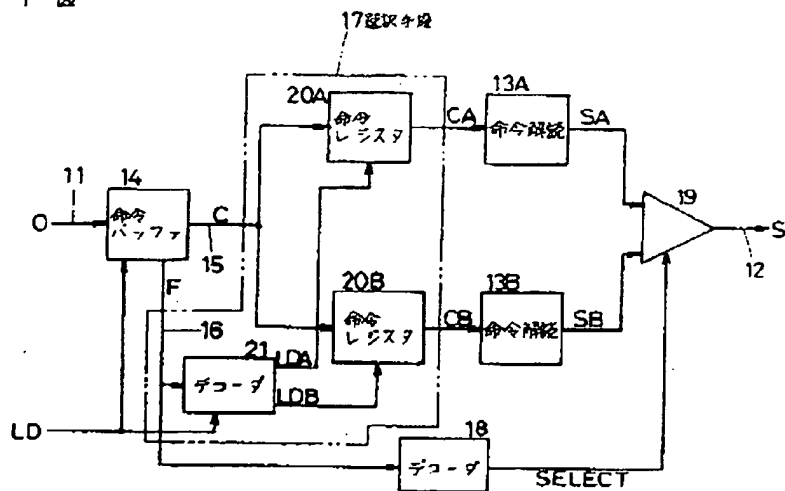
特許出願人 松下電器産業株式会社

代理人 弁理士 宮井 豊夫

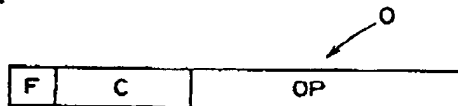


特開平3-150633(5)

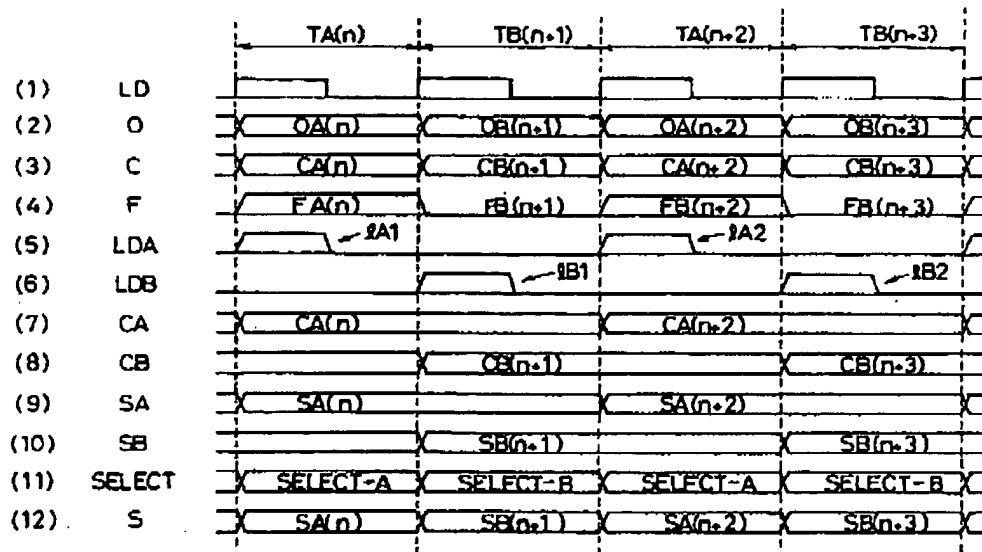
第 1 図



第 2 図

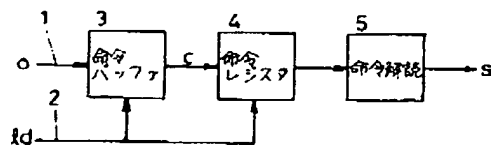


第 3 図



特開平3-150633 (B)

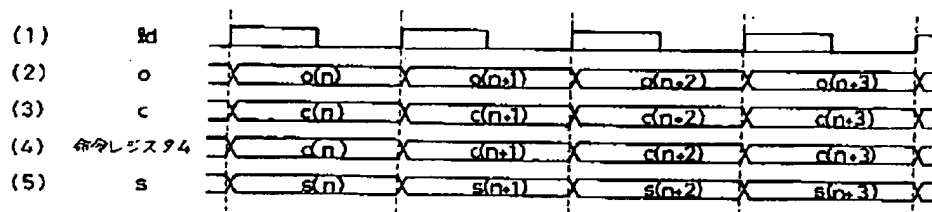
第 4 図



第 5 図



第 6 図



Translation of (PA-25941)
JP-A-03-150633

SPECIFICATION

1. Title of Invention

INSTRUCTION DECODING DEVICE

2. Scope of Claims for a patent

An instruction decoding device characterized by comprising a plurality of instruction decoding means provided to be associated with a plurality of instruction sets respectively, a flag indicative of each of the instruction sets, to which each instruction belongs, being provided in the each instruction, and selection means for selecting said instruction decoding means on the basis of said flag in the inputted instruction and for providing the instruction.

3. Detailed Description of the Invention

(Industrial Field of Utilization)

The present invention relates to an instruction decoding device for use in decoding a machine instruction for an electronic computer.

(Prior Art)

A microprocessor or the like is provided with an instruction decoding device called an instruction decoder unit or the like, and the instruction decoding device decodes a machine instruction inputted in a predetermined format and generates a control signal corresponding to the instruction. The control signal is provided to an execution unit, and the execution unit in turn accesses, e.g., a micro ROM (read only memory) having a micro-instruction stored therein on the basis of the control

signal. And arithmetic processing is attained by an instruction inputted under control of an adder, a subtractor, a multiplier, etc. by the execution unit.

FIG. 4 is a block diagram of a basic arrangement of an instruction decoding device used so far. As shown in FIG. 5, an instruction "o" of a predetermined format including an operand code "c" and an operand "op" is inputted from a line 1. The instruction "o" is read into an instruction buffer 3 on the basis of a load signal "ld" via a line 2. The operand code "c" is derived from the instruction buffer 3 and read into an instruction register 4 on the basis of the load signal "ld". The operand code "c" stored in the instruction register 4 is provided to an instruction decoding circuit 5, which in turn generates a control signal "s" corresponding to the received operand code "c". The control signal "s" is, for example, an address or the like in the micro ROM. In other words, the execution unit at the next stage accesses the micro ROM on the basis of the received address.

FIG. 6 is a timing chart for explaining the operation of the instruction decoding device. In FIG. 6, (1) shows the load signal "ld", (2) shows the instruction "o" inputted from the line 1, (3) shows the operand code "c", (4) shows an output of the instruction register 4, and (5) shows the control signal "s" outputted from the instruction decoding circuit 5. It is assumed that the load signal "ld" is synchronized with a system clock and instruction fetch is carried out for each cycle.

Instructions $o(n)$, $o(n+1)$, $o(n+2)$, $o(n+3)$, ... are inputted from the line 1 in a time series order and are read into the instruction buffer 3 on the basis of the load signal "ld". As a result, corresponding operand code $c(n)$, $c(n+1)$, $c(n+2)$, $c(n+3)$, ... are sequentially outputted from the instruction buffer 3. Accordingly, the output of the instruction register 4 becomes similar, and therefore control signals $s(n)$, $s(n+1)$, $s(n+2)$, $s(n+3)$, ... corresponding to the operand codes $c(n)$, $c(n+1)$, $c(n+2)$, $c(n+3)$, ... are sequentially outputted from the instruction decoding circuit 5. That is, the instructions $o(n)$, $o(n+1)$, $o(n+2)$, $o(n+3)$, ... are decoded for each instruction fetch so that the control signals $s(n)$, $s(n+1)$, $s(n+2)$, $s(n+3)$, ... corresponding to the respective instructions are generated.

(Problems to be solved by the invention)

In the aforementioned instruction decoding device, respective parts are arranged to cope with a certain one type of instruction set. For this reason, the instruction decoding device cannot cope with a plurality of types of instruction sets and therefore cannot cope with a program in which a plurality of types of mixed instruction sets are present.

It is therefore an object of the present invention to provide an instruction decoding device which can solve the technical problems mentioned above and can decode an instruction including a plurality of types of instruction sets.

(Means for solving the Problems)

The instruction decoding device of the present invention is featured by including a plurality of instruction decoding means provided to be associated with a plurality of instruction sets respectively, a flag indicative of each of the instruction sets to which each instruction belongs being provided in the each instruction, and a selection means for selecting the instruction decoding means on the basis of the flag in the inputted instruction and providing the instruction.

(Operation)

In accordance with the present invention, using a flag provided in an instruction, an instruction set, to which the instruction in question belongs, can be identified. The selection means selects one of the instruction decoding means, to which an input instruction belongs, on the basis of the flag; provides the input instruction to the selected instruction decoding means, thereby enabling a program including a plurality of instruction sets to be decoded.

As a result, the execution of the program including the plurality of instruction sets, which has been implemented using a plurality of arithmetic processors in the prior art, can be realized using a single arithmetic processor in the present invention.

(Embodiments)

FIG. 1 is a block diagram of a basic arrangement of an instruction decoding device in accordance with an

embodiment of the present invention. In the instruction decoding device, a control signal S corresponding to an instruction O provided from a line 11 is derived to a line 12, and then provided to an external instruction execution device not shown in the drawing. Thus machine instructions belonging to a plurality of types (two in this embodiment) of instruction sets are mixed and inputted from the line 11. The format of the instruction O inputted from the line 11 is shown in FIG. 2. That is, in the present embodiment, the instruction O includes a flag F indicative of an instruction set to which the instruction belongs, together with an operand code C and an operand OR.

In the present embodiment, the instruction O belonging to any of the two types of instruction sets is inputted from the line 11, first and second instruction decoding circuits 13A and 13B for generating control signals corresponding to the instructions of the two types of instruction sets in response to the two types of instruction sets are provided. The instruction O provided from the line 11 is read into the instruction buffer 14 on the basis of a load signal LD synchronized with a system clock, the operand code C thereof is provided from a line 15 to a selection means 17, and the flag F thereof is provided from a line 16 to the selection means 17. The selection means 17 selects any one of the first and second instruction decoding circuits 13A and 13B and inputs the received flag F and operand code C to the selected circuit on the basis of the received flag F. First and second

control signals SA and SB outputted from the first and second instruction decoding circuits 13A and 13B are selectively derived to the line 12 from a selector 19 controlled by the output of a decoder 18 receiving the flag F from the instruction buffer 14.

The selection means 17 has first and second instruction registers 20A and 20B for receiving the operand code C derived to the line 15 respectively, and also has a decoder 21 for reading the flag F from the line 16 on the basis of the load signal LD and generating first and second load signals LDA and LDB to cause the operand code C to be read into any one of the first and second instruction registers 20A and 20B.

FIG. 3 is a timing chart for explaining the operation of the instruction decoding device. In FIG. 3, (1) shows the load signal LD, (2) shows the instruction O from the line 11, (3) shows the operand code C to be derived to the line 15, (4) shows the flag F to be derived to the line 16, (5) and (6) show first and second load signals LDA and LDB respectively, (7) and (8) show operand codes CA and CB to be derived from the first and second instruction registers 20A and 20B respectively, (9) and (10) show the first and second control signals SA and SB respectively, (11) shows a control signal select signal SELECT to be provided from the decoder 18 to the selector 19, and (12) shows the control signal S derived to the line 12.

The instruction O includes instructions belonging

to two types of instruction sets. More specifically, instructions $OA(n)$, $OB(n+1)$, $OA(n+2)$, $OB(n+3)$, ... mixedly having instructions OA belonging to one of the two types of instruction sets and instructions OB belonging to the other type thereof are inputted from the line 11 in a time series order, and read into the instruction buffer 14 on the basis of the load signal LD . And operand codes $CA(n)$, $CB(n+1)$, $CA(n+2)$, $CB(n+3)$, ... corresponding to the respective instructions are derived to the line 15, flags $FA(n)$, $FB(n+1)$, $FA(n+2)$, $FB(n+3)$, ... are derived to the line 16 in a time series order. For example, the flags $FA(n)$ and $FA(n+2)$ indicating the inputted instructions belong to the first type of instruction set are high-level signals; whereas, the flags $FB(n+1)$ and $FB(n+3)$ indicating that the inputted instructions belong to the second type of instruction set are low level signals.

On the basis of such a flag F , the decoder 21 generates the first and second load signals LDA and LDB in synchronism with the load signal LD . As a result, load signals denoted by reference symbols $1A1$ and $1A2$ are provided to the first instruction register 20A during periods $TA(n)$ and $TA(n+2)$ in which the first type of instructions $OA(n)$ and $OA(n+2)$ are inputted; while, load signals denoted by reference symbols $1B1$ and $1B2$ are provided to the second instruction register 20B during periods $TB(n+1)$ and $TB(n+3)$ in which the second type of instructions $OB(n+1)$ and $OB(n+3)$ are inputted.

As a result, instructions belonging to only the

First type of instruction set are stored in the first instruction register 20A, only instructions belonging to only the second type of instruction set are stored in the second instruction register 20B, which results in that the first and second instruction registers have such output states as shown by (7) and (8) in FIG. 3. In other words, first instruction register 20A outputs the operand code $CA(n)$ during the periods $TA(n)$ and $TB(n+1)$, and the first instruction register 20A outputs the operand code $CA(n+2)$ during the periods $TA(n+2)$ and $TB(n+3)$. And the second instruction register 20B outputs the operand code $CB(n+1)$ during the periods $TB(n+1)$ and $TA(n+2)$, and outputs the operand code $CB(n+3)$ during the period $TB(n+3)$.

The operand codes CA and CB are provided from the first and second instruction registers 20A and 20B to the first and second instruction decoding circuits 13A and 13B respectively. Therefore, the control signals $SA(n)$ and $SA(n+2)$ corresponding to the operand codes $CA(n)$ and $CA(n+2)$ are derived from the first instruction decoding circuit 13A for the periods $TA(n)$, $TB(n+1)$, $TA(n+2)$ and $TB(n+3)$ respectively. Nearly the same holds true even for the instruction decoding circuit 13B. That is, the control signals $SB(n+1)$ and $SB(n+3)$ corresponding to the operand codes $CB(n+1)$ and $CB(n+3)$ are outputted.

The decoder 18 for providing the control signal select signal $SELECT$ to the selector 19 generates control signal select signals $SELECT-A$ and $SELECT-B$ to select the control signals SA and SB during each period in response to

the flag F, which results in that the control signals SA(n), SB(n+1), SA(n+2), SB(n+3), ... corresponding to the input instructions OA(n), OB(n+1), OA(n+2), OB(n+3), ... are derived to the line 12.

In this manner, with respect to the instruction O having instructions belonging to two types of instruction sets mixed and present, the present embodiment is arranged so that the instruction set, to which each instruction belongs, can be identified by the flag F included in the instruction O, and so that the instruction is classified and provided to the instruction decoding circuit 13A or 13B provided for each instruction set to decode the instruction. In this manner, the instruction O including two types of mixed instruction sets can be decoded.

In the foregoing embodiment, explanation has been made in connection with the case where instructions belonging to the two types of instruction sets are mixed and present in the inputted instruction as an example. However, even when instructions belonging to three or more types of instruction sets are mixed and present, the present invention can be easily applied thereto. That is, this can be attained by including a flag having a necessary number of bits for identifying the instruction sets in the instruction.

When an instruction such as a transmission instruction including instructions belonging to a plurality of types of different instruction sets can be decoded in this way, the transmission instruction can have machine

instructions different for the different instruction sets. Even in this case, the instruction decoding can be carried out according to the respective instruction sets and control signals of the same system can be generated. For this reason, the existing prior art instruction execution device, etc. provided at the subsequent stages of the instruction decoding device can be used as they are. In this manner, the execution of a program including instructions belonging to a plurality of instruction sets, which had required a plurality of microprocessors having different hardware structures in the prior art, can be realized with a single microprocessor.

(Effects of the Invention)

As has been explained above, in accordance with the instruction decoding device of the present invention, the instruction decoding of a program including mixed instructions belonging to a plurality of instruction sets can be realized, and therefore the execution of the program, which had required a plurality of arithmetic processors in the prior art, can be attained with a single arithmetic processor.

4. Brief Description of Drawings

FIG. 1 is a block diagram of a basic arrangement of an instruction decoding device in accordance with an embodiment of the present invention;

FIG. 2 is a diagram for explaining the structure of an input instruction U;

FIG. 3 is a timing chart for explaining the

operation of the instruction decoding device;

FIG. 4 is a block diagram of a basic arrangement of a prior art instruction decoding device;

FIG. 5 is a diagram showing a structure of an instruction "o"; and

FIG. 6 is a timing chart showing the operation of the arrangement shown in FIG. 4.

DESCRIPTION OF REFERENCE NUMERALS

13A; first instruction decoding circuit, 13B; second instruction decoding circuit, 17; selection means

TRANSLATION OF THE DRAWINGS:

FIG. 1.....

17; selection means, 14; instruction buffer, 20A; instruction register, 13A; instruction decoder, 13B; instruction decoder, 20B; instruction register, 21; decoder, 18; decoder

FIG. 4.....

3; instruction buffer, 4; instruction register, 5; instruction decoder

FIG. 6.....

(4); instruction register

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.